

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant : Shunpei Yamazaki et al. Art Unit : Unknown
Serial No. : New Application Examiner : Unknown
Filed : February 10, 2004
Title : SEMICONDUCTOR DEVICE

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

TRANSMITTAL OF PRIORITY DOCUMENT UNDER 35 USC §119

Applicants hereby confirms his claim of priority under 35 USC §119 from the following application:

Japan Application No. 2003-033194 filed February 12, 2003

A certified copy of the application from which priority is claimed is submitted herewith.

Please apply any charges or credits to Deposit Account No. 06-1050.

Respectfully submitted,

Date: February 10, 2004



John F. Hayden
Reg. No. 37,640

Customer No. 26171
Fish & Richardson P.C.
1425 K Street, N.W., 11th Floor
Washington, DC 20005-3500
Telephone: (202) 783-5070
Facsimile: (202) 783-2331

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 2 月 1 2 日
Date of Application:

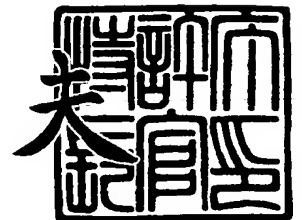
出 願 番 号 特 願 2 0 0 3 - 0 3 3 1 9 4
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 0 3 3 1 9 4]

出 願 人 株式会社半導体エネルギー研究所
Applicant(s):

2 0 0 3 年 1 2 月 2 2 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康



出証番号 出証特 2 0 0 3 - 3 1 0 6 3 4 9

【書類名】 特許願

【整理番号】 P006966

【提出日】 平成15年 2月12日

【あて先】 特許庁長官 殿

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 山崎 舜平

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 高山 徹

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 丸山 純矢

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 後藤 裕吾

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 大野 由美子

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 荒井 康行

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 柴田 典子

【特許出願人】

【識別番号】 000153878

【氏名又は名称】 株式会社半導体エネルギー研究所

【代表者】 山崎 舜平

【手数料の表示】

【予納台帳番号】 002543

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】

基板上に画素部と駆動回路を有する半導体装置であって、
前記駆動回路と重なる位置に積層回路を有することを特徴とする半導体装置。

【請求項 2】

基板上に画素部と駆動回路を有する半導体装置であって、
前記積層回路は、前記駆動回路と重なる位置に設けられ、かつ別の基板上に形成された素子形成層を転写してなる集積回路が積層されたものであることを特徴とする半導体装置。

【請求項 3】

基板上の画素部および駆動回路の一部または全部と電氣的に接続された積層回路を有する半導体装置であって、

前記積層回路は、前記駆動回路と重なる位置に設けられることを特徴とする半導体装置。

【請求項 4】

基板上の画素部および駆動回路の一部または全部と電氣的に接続された積層回路を有する半導体装置であって、

前記積層回路は、前記駆動回路と重なる位置に設けられ、かつ別の基板上に形成された素子形成層を転写してなる集積回路を積層してなることを特徴とする半導体装置。

【請求項 5】

請求項 2 または請求項 4 において、

前記集積回路は、ディスプレイコントローラ、フレームメモリ、電源回路、CPU、またはメモリのうちのいずれか一つであることを特徴とする半導体装置。

【請求項 6】

請求項 2、請求項 4、または請求項 5 において、

前記積層回路は、前記集積回路を 1 層、または 2 層以上積層してなることを特

徴とする半導体装置。

【請求項 7】

請求項 1 乃至請求項 6 のいずれかーにおいて、

前記画素部は、発光素子または液晶素子を有することを特徴とする半導体装置

。

【請求項 8】

請求項 1 乃至請求項 6 のいずれかーにおいて、

前記画素部は、第 1 の電極、電界発光層および第 2 の電極からなる発光素子を有し、かつ前記第 1 の電極および前記第 2 の電極は透光性を有することを特徴とする半導体装置。

【請求項 9】

請求項 1 乃至請求項 8 のいずれかーにおいて、

前記半導体装置は、アクティブマトリクス型、またはパッシブマトリクス型であることを特徴とする半導体装置。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、薄膜トランジスタ（T F T）を含む半導体装置に関する。特に画素部および駆動回路を含むパネル上に集積回路を搭載する技術に関する。

【 0 0 0 2 】

【従来の技術】

近年、同一基板上に形成された半導体薄膜（厚さ数～数百 n m 程度）を用いて形成された薄膜トランジスタ（T F T）を有する半導体装置に関して、様々な技術開発が進められている。

【 0 0 0 3 】

このような半導体装置のうち、パネルとなる基板上に画素部だけでなく、内部回路として駆動回路が一体形成され、外部回路が、パネルの外部に形成された構造が知られている（例えば、特許文献 1 参照。）。

【 0 0 0 4 】

これに対して、外部回路を一体形成したシステムオンパネルを作製すべくパネル上に外部回路を搭載しようとする、画素部や駆動回路の面積を削減したり、外部回路を搭載するためのスペースを新たに設けたりする必要が出てくるため、高精細化、高速駆動が図れないばかりか、パネルが大型化してしまうという問題が生じる。

【0005】

【特許文献1】

特開2002-49359号公報

【0006】

【発明が解決しようとする課題】

そこで、本発明では、システムオンパネルの狭額縁化を実現することを目的とする。また、パネル上に搭載されるシステムの高機能化または、多機能化を図ることを目的とする。

【0007】

【課題を解決するための手段】

本発明では、画素部（液晶素子、発光素子を含む）および駆動回路が形成されたパネル上に、従来、外部回路を構成していた集積回路を積層形成することを特徴とする。

【0008】

具体的には、パネル上の画素部、駆動回路のうち、駆動回路と重なる位置に上述した集積回路のうちのいずれか一種、または複数種を転写技術により積層形成することを特徴とする。なお、パネル上の画素部、および駆動回路は転写技術により形成されたものであっても、基板上に直接形成されたものであっても良い。

【0009】

なお、本発明において、デザインルール（設計ルール）や、機能の異なる集積回路を積層形成することができる。また、本発明に用いる転写技術としては、本明細書中で示すように基板上に形成された素子形成層を金属酸化物層において基板から剥離する方法を含む転写技術を用いることもできるが、例えば、基板上に水素を含むアモルファスシリコン膜を成膜した後、レーザー光を照射することに

より基板から素子形成層を剥離する方法を含む転写技術や、素子形成層が形成された基板を溶液やガスを用いてエッチングまたは機械的に削る方法含む転写技術といった公知の技術を用いることもできる。なお、ここでは、転写技術により転写される層を素子形成層と呼び、本発明においてパネル上の駆動回路上に転写技術を用いて積層形成されるディスプレイコントローラ、メモリコントローラ、C P U (Central Processing unit)、M P U (Micro Processor unit)、メモリ等の集積回路を含み、さらにパネルを構成する基板上の画素部（液晶素子、発光素子を含む）や、駆動回路が転写技術により形成される場合には、これらも素子形成層に含めることとする。

【 0 0 1 0 】

また、駆動回路上に積層形成された集積回路は、駆動回路と電氣的に接続されるものとする。

【 0 0 1 1 】

以上のように、パネル上の駆動回路と重なる位置に 1 種または 2 種以上の集積回路を積層して得られた積層回路を形成することにより、集積回路を形成するためのスペースが特に必要とならないので、デザインルールの異なる集積回路（例えば、 $0.35 \sim 1 \mu\text{m}$ のデザインルールの集積回路と、 $1 \sim 50 \mu\text{m}$ のデザインルールの集積回路等）や機能の異なる集積回路（例えば、ディスプレイコントローラ、メモリコントローラ、C P U (Central Processing unit)、M P U (Micro Processor unit)、メモリ等）を複数形成することも可能である。

【 0 0 1 2 】

また、転写技術により形成される素子形成層は、その膜厚が $50 \mu\text{m}$ 以下であることから複数層を積層した場合でも、全体の膜厚増加に大きな影響を与えることはない。

【 0 0 1 3 】

さらに、駆動回路と重なる位置に集積回路を積層形成することにより、画素部に形成される素子が両面発光型の場合に開口率に影響を与えることなく半導体装置を形成することができる。

【 0 0 1 4 】

以上より、本発明の構成は、基板上に画素部と駆動回路を有する半導体装置であって、前記駆動回路と重なる位置に積層回路を有することを特徴とする半導体装置である。

【0015】

また、基板上に画素部と駆動回路を有する半導体装置であって、前記積層回路は、前記駆動回路と重なる位置に設けられ、かつ別の基板上に形成された素子形成層を転写してなる集積回路が積層されたものであることを特徴とする半導体装置である。

【0016】

なお、上記構成において、積層回路は、画素部および駆動回路の全部または、一部と電氣的に接続されており、積層回路を構成する集積回路は、ディスプレイコントローラ、フレームメモリ、電源回路、CPU、またはメモリのうちのいずれか一つであることを特徴とする。さらに、積層回路は、集積回路を、1層、または2層以上積層してなることを特徴とする。

【0017】

また、本発明における半導体装置は、アクティブマトリクス型、またはパッシブマトリクス型であって、パネル上の画素部に発光素子、または液晶素子を有することを特徴とする。なお、発光素子を有する場合には、発光素子の第1の電極、電界発光層および第2の電極のうち、第1の電極および前記第2の電極を透光性材料により形成し、第1の電極および第2の電極の両電極から電界発光層で生じた光を出射させる両面発光構造とすることもできる。

【0018】

【発明の実施の形態】

以下、本発明の実施の形態について詳細に説明する。

図1は、本発明により形成される半導体装置のモジュールの構成について示す斜視図である。

【0019】

図1に示す半導体装置は、基板101上に画素部102および駆動回路（ソース側駆動回路103、ゲート側駆動回路（104、105））が形成され、ソース

側駆動回路 103 上に複数の回路が積層されてなる積層回路 106 が形成されている。なお、ここでは、ソース側駆動回路 103 上に積層回路 106 が形成される場合について示したが、本発明は、これに限られることなくゲート側駆動回路（104、105）上に形成される構成とすることもできる。

【0020】

なお、積層回路 106 に含まれる集積回路としては、ディスプレイコントローラ、フレームメモリ、電源回路、CPU、メモリコントローラ、またはメモリ等が挙げられる。

【0021】

また、基板 101 上には、FPC 107 が貼り付けられており、外部からの信号は、FPC 107 を介して、上述した積層回路 106 の他、パネル上の駆動回路または画素部に入力される。

【0022】

なお、パネル上の画素部には、液晶素子、または発光素子が形成されており、発光素子を形成する場合には、パネルの両面に発光する両面発光型の発光素子を設けることもできる。

【0023】

本発明において、積層回路 106 は、転写技術を用いて、各回路を順次積層形成するが、集積回路 106 だけでなく画素部や駆動回路を転写技術により形成しても良い。

【0024】

次に、パネル上の積層回路について詳細に説明する。図 2（A）には、本発明により形成される半導体装置のモジュールの断面図を示す。

【0025】

基板 201 上には、画素部 202 および駆動回路 203 が形成されており、駆動回路 203 上には積層回路 204 が形成されている。なお、積層回路 204 の各層には、それぞれ回路が形成されており、転写技術により積層された際には、それぞれが電氣的な接続を得られるように形成されている。

【0026】

図 2 (B) には、積層回路 204 の作製工程を示す。すなわち、基板 201 上に形成された駆動回路 203 上に、別の基板（ここでは、第 1 の素子基板 211 とよぶ）上に形成され、1 層目となる第 1 の素子形成層 212 を転写技術により積層する。なお、このとき駆動回路 203 に含まれる配線と第 1 の素子形成層 212 に含まれる配線とが電氣的に接続されるようにする。

【0027】

第 1 の素子形成層 212 が駆動回路 203 上に転写された後、第 1 の素子形成層 212 から第 1 の素子基板 211 を剥離する。なお、このとき、第 1 の素子形成層 212 に含まれる配線の一部は表面に露出される。

【0028】

次に、第 1 の素子形成層 212 上に別の基板（ここでは、第 2 の素子基板 213 とよぶ）上に形成され、2 層目となる第 2 の素子形成層 214 を転写技術により積層する。なお、このとき第 1 の素子形成層 212 に含まれる配線と第 2 の素子形成層 214 に含まれる配線とが電氣的に接続されるようにする。

【0029】

第 2 の素子形成層 214 が第 1 の素子形成層 212 上に転写された後、第 2 の素子形成層 214 から第 2 の素子基板 213 を剥離する。なお、このとき、第 2 の素子形成層 214 に含まれる配線の一部は表面に露出される。

【0030】

さらに、第 2 の素子形成層 214 上に別の基板（ここでは、第 3 の素子基板 215 とよぶ）上に形成され、3 層目となる第 3 の素子形成層 216 を転写技術により積層する。なお、このとき第 2 の素子形成層 214 に含まれる配線と第 3 の素子形成層 216 に含まれる配線とが電氣的に接続されるようにする。

【0031】

そして、第 3 の素子形成層 216 が第 2 の素子形成層 214 上に転写される。なお、ここで形成される第 3 の素子形成層 216 が積層回路の最上層である場合には、必ずしも第 3 の素子形成層 216 から第 3 の素子基板 215 を剥離する必要はなく、剥離してもしなくてもどちらでも良い。

【0032】

以上のようにして、パネルの駆動回路 203 上に積層回路 204 が形成される。なお、本実施の形態では、積層回路 204 が 3 層からなる場合について示したが、本発明はこれに限られることはなく、1 層以上からなれば何層積層されていても良い。

【0033】

【実施例】

以下に、本発明の実施例について説明する。

【0034】

(実施例 1)

本実施例では、本発明の積層回路に映像処理を行う上で不可欠なディスプレイコントローラおよび電源回路を含む場合の構成について図 3 のブロック図を用いて説明する。

【0035】

すなわち、基板 301 上の所望の位置に画素部 302 と、駆動回路であるソース側駆動回路 303、およびゲート側駆動回路 (304、305) が形成されている。そして、ソース側駆動回路 303 上に積層されるディスプレイコントローラ 306、フレームメモリ A (307)、フレームメモリ B (308) および電源回路 309 を有している。

【0036】

なお、パネル上の配線は、FPC 310 を介して、信号制御回路 321 (CPU 322、メモリコントローラ 323、メモリ 324) と接続されている。また、FPC 310 を介してディスプレイコントローラ 306 には、基準クロック信号 (CK)、同期信号 (HSYNC & VSYNC)、映像信号等が入力され、電源回路 309 には基準電源等がそれぞれ入力される。

【0037】

電源回路 309 からは、フレームメモリ A (307)、およびフレームメモリ B (308) に、それぞれフレームメモリ用電源 314 が入力され、ソース側駆動回路 303 にソース側駆動回路用電源 311 が入力され、ゲート側駆動回路 305 にゲート側駆動回路用電源 312 が入力され、ディスプレイコントローラ 3

06 にディスプレイコントローラ用電源 313 が入力され、画素部 302 に素子用電源 315 が入力される。

【0038】

また、フレームメモリ A (307)、およびフレームメモリ B (308)からは、それぞれフレームメモリ リード・ライト制御信号 318 が入力される。さらに、ディスプレイコントローラ 306 からは、ソース側駆動回路 303 にソース側駆動回路クロック信号・スタートパルス 316 が入力され、ゲート側駆動回路 305 にゲート側駆動回路クロック信号・スタートパルス 317 が入力される。

【0039】

次に、ディスプレイコントローラ 306 および電源回路 309 の構成について、図 4 (A) (B) を用いて詳細に説明する。

【0040】

図 4 (A) において、ディスプレイコントローラ 306 は、分周回路 401、水平クロック発生回路 402、垂直クロック発生回路 403、メモリ R/W 制御回路 422、X カウンタ (423、425)、Y カウンタ (424、426)、X デコーダ (427、429)、Y デコーダ (428、430)、映像信号処理回路 402 を有する。

【0041】

分周回路 401、水平クロック発生回路 402、垂直クロック発生回路 403 において、外部より入力される基準クロック信号、水平同期信号 (H SYNC)、垂直同期信号 (V SYNC) から、ソース側クロック信号、ソース側スタートパルス、データラッチ信号、ゲート側クロック信号、ゲート側スタートパルス等を生成する。

【0042】

また、メモリ R/W 制御回路 422 において、フレームメモリ A、フレームメモリ B の書き込み、読み出しの状態制御を行う。さらに、X カウンタ (423、425)、Y カウンタ (424、426)、X デコーダ (427、429)、Y デコーダ (428、430) は、フレームメモリ A、フレームメモリ B それぞれ

のメモリアドレスの選択を行う。

【0043】

映像信号処理回路402において、外部より入力される映像信号ソースを、半導体装置の駆動方法に対応した形式である映像信号（VDATA）に変換し、半導体装置のソース側駆動回路に供給する。映像信号の変換としては、主にデータ入力順序の変換、D/A変換もしくはA/D変換等があるが、ここではフレームメモリを用い、データ入力順序の変換を行っている。

【0044】

図4（B）に示す電源回路309は、外部より入力される基準電源を用い、それぞれ適当な電位を有する電源を供給する。ここでは、ソース側駆動回路を駆動するための、ソース側駆動回路用電源、ゲート側駆動回路を駆動するための、ゲート側駆動回路用電源、画素部に形成された素子（発光素子など）に電流を供給するための素子用電源、ディスプレイコントローラを駆動するための、ディスプレイコントローラ用電源、フレームメモリを駆動するための、フレームメモリ用電源を生成、供給している。

【0045】

（実施例2）

本実施例では、積層された集積回路の作製方法について、図5～8を用いて詳細に説明する。

【0046】

図5（A）には、第1の基板500上に金属層501、金属酸化物層502、および酸化物層503が順次積層され、その上に素子形成層504が形成された状態を示す。

【0047】

第1の基板500としては、ガラス基板、石英基板、プラスチック基板、セラミック基板、シリコン基板、金属基板またはステンレス基板を用いることができるが、本実施例では、ガラス基板であるAN100を用いることとする。

【0048】

そして、第1の基板500上に形成される金属層501に用いる材料としては

、W、Ti、Ta、Mo、Nd、Ni、Co、Zr、Zn、Ru、Rh、Pd、Os、Ir、Ptから選ばれた元素、または前記元素を主成分とする合金材料若しくは化合物材料からなる単層、またはこれらの積層、或いは、これらの窒化物、例えば、窒化チタン、窒化タングステン、窒化タンタル、窒化モリブデンからなる単層、またはこれらの積層を用いればよい。なお、金属層502の膜厚は10nm～200nm、好ましくは50nm～75nmとすればよい。

【0049】

ここで、スパッタリング法により金属層501を形成する場合には、第1の基板501を固定するため、第1の基板501の周縁部付近における膜厚が不均一になりやすい。そのため、ドライエッチングによって周縁部のみを除去することが好ましいが、その際、第1の基板500もエッチングされないように、第1の基板500と金属層501との間に酸化窒化シリコン膜からなる絶縁膜を100nm程度形成することもできる。

【0050】

金属層501上には、金属酸化物層502および酸化物層503が形成されるが、本実施例では、まず酸化物層503を形成した後、金属層501の一部が後の工程において酸化され、金属酸化物層502となる場合について説明する。

【0051】

すなわち、ここでは金属層501としてタングステンからなる層（膜厚10nm～200nm、好ましくは50nm～75nm）を形成し、さらに大気にふれることなく、酸化物層503、ここでは酸化シリコン層（膜厚150nm～200nm）を積層形成する。酸化物層503の膜厚は、金属層501の膜厚の2倍以上とすることが望ましい。例えば、酸化シリコンターゲットを用いたスパッタリング法により、酸化シリコン膜を150nm～200nmの膜厚とするのが好ましい。

【0052】

また、酸化物層503上に形成される素子形成層504は、TFET（pチャネル型TFET、またはnチャネル型TFET）を適宜組み合わせて形成された集積回路が形成される層のことをいう。ここで示すTFETは、下地膜505上の半導体

膜の一部に形成された不純物領域 505 およびチャネル形成領域 506、ゲート絶縁膜 507、およびゲート電極 508 により構成され、配線 509 により電氣的に接続されている。

【0053】

また、この素子形成層 504 を形成する際に、少なくとも水素を含む材料膜（半導体膜または金属膜）を形成した後に水素を含む材料膜中に含まれる水素を拡散するための熱処理を行う。この熱処理は 420℃ 以上であればよく、素子形成層 504 の形成プロセスとは別途行ってもよいし、兼用させて工程を省略してもよい。例えば、水素を含む材料膜として水素を含むアモルファスシリコン膜を CVD 法により成膜した後、結晶化させるため 500℃ 以上の熱処理を行えば、加熱によりポリシリコン膜が形成できると同時に水素の拡散を行うことができる。

【0054】

なお、この熱処理を行うことにより、金属層 501 と酸化物層 503 との間に結晶構造を有する金属酸化物層 502 が形成される。なお、金属層 501 と酸化物層 503 とを積層形成する際に、金属膜 501a と酸化シリコン膜 502 との間に 2nm～5nm 程度形成されていたアモルファス状態の金属酸化物層（酸化タンゲステン膜）もこの熱処理により結晶構造を形成するため金属酸化物層 502 に含まれる。

【0055】

本実施例では、素子形成層の一部を作製する工程において、金属酸化物層 502 が形成される場合について説明したが、本発明はこの方法に限られることはなく、金属層 501 を形成した後、金属酸化物層 502 を形成し、酸化物層 503 を形成する方法でも良い。

【0056】

次に、素子形成層 504 上に有機樹脂層 511 を形成する。有機樹脂層 511 に用いる材料としては、水またはアルコール類に可溶な有機材料を用い、これを全面に塗布、硬化することにより形成する。この有機材料の組成としては、例えば、エポキシ系、アクリレート系、シリコン系等のいかなるものでもよい。具体的には、スピンコート法により水溶性樹脂（東亜合成製：VL-WSHL10）

(膜厚 $30\text{ }\mu\text{m}$) を塗布し、仮硬化させるために 2 分間の露光を行ったあと、UV 光を裏面から 2.5 分、表面から 10 分、合計 12.5 分の露光を行って本硬化させることにより有機樹脂層 511 が形成される。

【0057】

なお、後の剥離を行いやすくするために、金属酸化物層 502 における密着性を部分的に低下させる処理を行う。密着性を部分的に低下させる処理は、剥離しようとする領域の周縁に沿って金属層 502 または酸化物層 503 にレーザー光を部分的に照射する処理、或いは、剥離しようとする領域の周縁に沿って外部から局所的に圧力を加えて酸化物層 503 の層内または界面の一部分に損傷を与える処理である。具体的にはダイヤモンドペンなどで硬い針を垂直に押しつけて荷重をかけて動かせばよい。好ましくは、スクライバー装置を用い、押し込み量を $0.1\text{ mm} \sim 2\text{ mm}$ とし、圧力をかけて動かせばよい。このように、剥離を行う前に剥離現象が生じやすくなるような部分、即ち、きっかけをつくることが重要であり、密着性を選択的（部分的）に低下させる前処理を行うことで、剥離不良がなくなり、さらに歩留まりも向上する。

【0058】

次に、第 1 の接着層 512 を形成することにより、有機樹脂層 511 上に第 1 の接着層 512 を介して第 2 の基板 513 を貼り付けることができる。なお、第 1 の接着層 511 を形成する材料としては、後の工程において、所定の処理を行うことにより接着性を弱めることのできる公知の材料を用いることができるが、本実施例では、後の工程において、光照射により接着力が低下する感光性の両面テープを用いる場合について説明する。

【0059】

さらに、第 1 の基板 501 の露出面にも同様に第 2 の接着層 514 を形成し、第 2 の接着層 514 を介して第 3 の基板 515 を貼り付ける。なお、第 2 の接着層 514 を形成する材料は、第 1 の接着層 512 と同様に両面テープを用いることとする。ここで貼り付けた第 3 の基板 515 は、後の剥離工程で第 1 の基板 501 が破損することを防ぐ。第 2 の基板 513 および第 3 の基板 515 としては、第 1 の基板 501 よりも剛性の高い基板、例えば石英基板、半導体基板を用い

ることが好ましい。

【0060】

次に、上記密着性を部分的に低下させた領域側から剥離させ、金属層 501 が設けられている第 1 の基板 501 を物理的手段により引き剥がす。本実施例の場合には、金属層 501 および基板 500 を金属酸化物層 502 の部分において、比較的小さな力（例えば、人間の手、ノズルから吹付けられるガスの風圧、超音波等）で引き剥がすことができる。具体的には、酸化タングステン膜中、または酸化タングステン膜と酸化シリコン膜との界面、または酸化タングステン膜とタングステン膜との界面で分離させ、引き剥がすことができる。こうして、酸化物層 503 上に形成された素子形成層 504 を第 1 の基板 501 から分離することができる。剥離時の状態を図 6（A）に示す。

【0061】

また、剥離により露出した表面には、金属酸化物層 502 の一部が残っており、これは、後の工程において、露出面を基板等に接着する際に密着性を低下させる原因となることから、露出面に残っている金属酸化物層 502 の一部を除去する処理を行うことが好ましい。なお、これらを除去するためには、アンモニア水溶液などのアルカリ性の水溶液や酸性水溶液などを用いることができる。その他、金属酸化物層 502 の一部が剥離しやすくなる温度（430℃）以下で、以降の工程を行っても良い。

【0062】

剥離および金属酸化物層 502 の一部を除去した後、フォトリソグラフィーによるマスクを用いたパターニング方法により、表面に露出した酸化物層 503 側から配線 505 に達する開口部 516 を形成する（図 6（B））。

【0063】

そして、形成された開口部 516 に補助配線 517 を形成し、図 6（C）に示す構造（点線 601）を得る。なお、ここで用いる配線材料としては、Ag、Au、Ta、W、Ti、Mo、Al、Cu から選ばれた元素、または前記元素を主成分とする合金もしくは化合物で形成する。なお、後の工程で基板に貼り付けられた素子形成層に重ねて別の素子形成層を形成する場合には、この状態（601

）で積層することになる。

【0064】

次に、第3の接着層（異方導電性接着層）518を形成し、第3の接着層518を介して第4の基板519と酸化物層503（及び素子形成層504）とを接着する（図7（A））。なお、ここでいう第4の基板519とは、ガラス基板、石英基板、セラミック基板、プラスチック基板、シリコン基板、金属基板、またはステンレス基板等の素材の基板上に既に画素部や駆動回路が形成された基板をいい、駆動回路と重なる部分に酸化物層503（及び素子形成層504）が接着される。これにより、駆動回路部分に形成された配線と素子形成層504に形成された配線等が、補助配線517及び第3の接着層（異方導電性接着層）518を介して電氣的に接続される。

【0065】

なお、本実施例では、駆動回路上に集積回路が積層されることから、高い熱伝導率を有する基板（例えば、酸化アルミニウム（アルミナ）、窒化アルミニウム、窒化酸化アルミニウム、窒化珪素などを主成分とするセラミック基板）を用いることがより好ましい。

【0066】

また、第1の接着層512により接着された第2の基板513と有機樹脂層511との密着性よりも、第3の接着層518により接着された酸化物層503（及び素子形成層504）と第4の基板519との密着性の方が高いことが重要である。

【0067】

また、第3の接着層（異方導電性接着層）518に用いる材料としては、反応硬化型接着剤、熱硬化型接着剤、紫外線硬化型接着剤等の光硬化型接着剤、嫌気型接着剤などの各種硬化型接着剤に異方導電性材料を分散させたものを用いることができる。また、異方導電性材料としては、Ag、Au、Al等の金属粒子を絶縁性被膜で覆ったものを用いることができる。

【0068】

次に、第2の基板513側から紫外線を照射することにより、第1の接着層5

12 に用いている両面テープの接着力を低下させ、素子形成層 504 から第 2 の基板 513 を分離させる (図 7 (B))。さらに、ここで露出した表面を水洗することにより、第 1 の接着層 512 および有機樹脂層 511 を溶かして除去することができる。

【0069】

次に、本実施例では、表面に露出した絶縁膜上に熱伝導性膜 520 を形成する。なお、ここで示す熱伝導性膜 520 は、必ずしも必要ではないが、駆動時に生じた熱を放出することができ、熱による素子等の不良を防ぐことができるので、形成しておくのが好ましい。熱伝導性膜 520 としては、窒化アルミニウム、窒化酸化アルミニウム、ダイヤモンドライクカーボン (DLC) 等の膜を用いることができ、スパッタリング法、反応性スパッタリング法、イオンビームスパッタリング法、ECR (電子サイクロトロン共鳴) スパッタリング法、イオン化蒸着法等の気相成膜法を用いて形成することができる。

【0070】

なお、熱伝導性膜 520 を形成することにより得られる状態を図 7 (C) に示す。

【0071】

次に、図 7 (C) の熱伝導性膜 520 上に第 4 の接着層 521 を形成する。ここで、第 4 の接着層 521 を介して図 6 (C) までの工程を経て得られた 601 の状態を有する別の素子形成層が接着される (図 8 (A))。なお、ここでは、601 の状態を有する別の素子形成層を第 2 の素子形成層 701 と呼び、第 4 の基板 519 上に形成されている素子形成層を第 1 の素子形成層 702 と呼ぶことにする。

【0072】

また、第 2 の素子形成層 701 上には、有機樹脂層 522、第 5 の接着層 523、および第 5 の基板 524 が形成されている。なお、本実施例の場合には、各素子形成層が積層された際に、第 1 の素子形成層 702 の配線 505 と、第 2 の素子形成層 701 の補助配線 525 とが第 4 の接着層 (異方導電性接着層) 521 を介して電氣的に接続されるため、各素子形成層の大きさ (面積) は同じであ

っても異なっている問題ない。

【0073】

次に、第5の基板524側から紫外線を照射することにより、第5の接着層523に用いている両面テープの接着力を低下させ、第2の素子形成層701から第5の基板524を分離させる（図8（B））。さらに、ここで露出した表面を水洗することにより、第5の接着層523および有機樹脂層522を溶かして除去することができる。

【0074】

以上により、図8（C）に示すように第1の素子形成層702と第2の素子形成層701とが積層された構造を形成することができる。なお、本実施例では、図8（A）の工程を経て、有機樹脂層522、第5の接着層523および第5の基板524が除去することにより図8（C）に示す積層構造が形成される場合について説明したが、本発明は、これに限られることはなく、図8（A）において接着して得られる構造とすることもできる。

（実施例3）

本実施例では、実施例2で示した積層構造とは異なるものであって、複数の素子形成層が積層された後、最後に積層された素子形成層が、基板上に形成された駆動回路上に接着して得られる集積回路の積層構造について図9、10を用いて説明する。

【0075】

図9（A）に示すように第1の基板800上に第1の素子形成層902が形成されており、さらに、第1の基板800には、第2の接着層814を介して第2の基板815が接着されている。

【0076】

なお、本実施例では、この時点で第1の基板800、第2の接着層814、および第2の基板815を金属酸化物層802において剥離せず、第1の素子形成層902上の配線805と重ならない位置に熱伝導性膜820を形成する。なお、ここで形成される熱伝導性膜820は、実施例2における熱伝導性膜520に用いたものと同様の材料を用いて同様の方法で形成すればよい。

【0077】

次に熱伝導性膜 820 が形成された第 1 の素子形成層 902 上に第 1 の接着層 821 を形成した後、第 2 の素子形成層 901 を接着する。なお、第 1 の接着層 821 は、異方導電性の接着剤により形成される異方導電性接着層である。

【0078】

また、ここで接着される第 2 の素子形成層 902 は、実施例 2 の図 8 (A) に示す第 2 の素子形成層 701 と同様の構造を有する。すなわち、第 2 の素子形成層 901 に形成される配線と電氣的に接続された補助配線 825 を有しており、また、配線上に有機樹脂層 822、第 3 の接着層 823、第 3 の基板 824 を有している。なお、補助配線 825 は、第 1 の素子形成層と接着された際に第 1 の接着層 821 を介して第 1 の素子形成層 902 における配線 805 と電氣的に接続される。

【0079】

第 1 の素子形成層 902 と第 2 の素子形成層 901 とを接着させた後、第 3 の基板 824 側から紫外線を照射することにより、第 3 の接着層 823 に用いている両面テープの接着力を低下させ、第 2 の素子形成層 901 から第 3 の基板 824 を分離させる。さらに、ここで露出した表面を水洗することにより、第 3 の接着層 823 および有機樹脂層 822 を溶かして除去することができる。

【0080】

次に、第 2 の素子形成層 901 の表面に露出した配線に接してバンプ 825 を形成し、駆動回路を有する第 4 の基板 827 上に異方導電性の接着剤により形成される第 4 の接着層 828 を介して接着させる。これにより、第 4 の基板 827 上の駆動回路に形成される配線と第 2 の素子形成層 901 の表面に露出した配線とが、バンプ 825 を介して電氣的に接続される。なお、バンプ 825 を形成する材料としては、タングステン (W)、タングステン-レニウム (W-Re)、パラジウム (Pd)、ベリリウム銅 (BeCu) 等を用いることができる。

【0081】

なお、図 9 (B) には、図 9 (A) に示す素子形成層の積層構造を反転させた状態を示す。

【0082】

次に、実施例2の図6（A）で説明したのと同様に金属層801と酸化物層803との間の金属酸化物層802で物理的に剥離させることにより、第1の基板800、第2の接着層814、および第2の基板815を分離除去する。

【0083】

さらに、本実施例では、第2の素子形成層902の上に存在する金属酸化物層802の一部をアンモニア水溶液などのアルカリ性の水溶液や酸性水溶液などを用いて除去する。なお、この処理は必要に応じて行えばよい。

【0084】

以上により、図10（B）に示すように熱伝導性の基板（第4の基板827）上に第2の素子形成層901と第1の素子形成層902とが積層された構造（実施例2とは異なる構造）を形成することができる。

【0085】

（実施例4）

本実施例では、実施例2に示した集積回路の作製工程を自動化させた装置について図11を用いて説明する。なお、必要に応じて実施例2で用いた名称や番号を引用することとする。

【0086】

まず、カセットステーション1101に素子形成層を有する第1の基板（図5（A）に示す状態の基板）を備えておく。次に、第1の基板を搬送室（A）1102aに備えられた搬送手段（A）1103aによりカセットステーション1101から取り出した後、塗布室1105に搬送する。そして、塗布室1105において、基板上に有機樹脂を塗布する。さらに、第1の基板を搬送手段（A）1103aにより、UV照射室（1）1106に搬送し、先に塗布された有機樹脂にUV（紫外線）を照射することにより、有機樹脂層を形成する（図5（B）参照）。

【0087】

次に、第1の基板を受け渡し室（A）1104aから、搬送室（B）1102bの搬送機構（B）1103bにより、スクライブ室1107に搬送する。なお

、スクライプ室 1107 において、スクライバーにより基板の一部を分断することにより、後工程において、基板を剥離し易くすることができる。

【0088】

次に、第 1 の基板を接着剤形成室 (1) 1108 に搬送する。本実施例では、基板上に形成された有機樹脂層上に接着剤として両面テープが貼り付けられる。

(これにより実施例 2 に示す第 1 の接着層 512 が形成される。) なお、接着剤形成室 (1) 1108 の隣には、予備の両面テープが備えられ、両面テープの供給が可能な接着剤供給室 (1) 1109 が接続されている。

【0089】

次に、基板を受け渡し室 (B) 1104 b から、搬送室 (C) 1102 c の搬送機構 (C) 1103 c により、基板貼付室 (1) 1110 に搬送する。なお、基板貼付室 (1) 1110 において、先に基板上に貼り付けられた両面テープ上に新たな第 2 の基板 (実施例 2 における第 2 の基板 513) を貼り付けることができる。また、基板貼付室 (1) 1110 の隣には、基板が備えられ、基板の供給が可能な基板供給室 (1) 1111 が接続されている。

【0090】

次に、第 1 の基板 (第 2 の基板が貼り付けられている) を接着剤形成室 (2) 1112 に搬送する。本実施例では、基板上の裏面に接着剤として両面テープが貼り付けられる。(これにより実施例 2 に示す第 2 の接着層 514 が形成される。) なお、接着剤形成室 (2) 1112 の隣には、予備の両面テープが備えられ、両面テープの供給が可能な接着剤供給室 (2) 1113 が接続されている。

【0091】

次に、第 1 の基板を基板貼付室 (2) 1114 に搬送する。なお、基板貼付室 (2) 1114 において、先に基板の裏面に貼り付けられた両面テープ上に新たな第 3 の基板 (実施例 2 における第 3 の基板 515) を貼り付けることができる。また、基板貼付室 (2) 1114 の隣には、基板が備えられ、基板の供給が可能な基板供給室 (2) 1115 が接続されている。

【0092】

次に、基板を剥離室 (1) 1116 に搬送する。ここで、実施例 2 において図

6 (A) で示すように第 1 の基板及び第 3 の基板が剥離される。なお、剥離室 (1) 1116 の隣には、剥離された第 1 の基板および第 3 の基板が回収可能な基板回収室 (1) 1117 が接続されている。

【0093】

次に第 1 の基板および第 3 の基板が剥離された素子形成層 (第 2 の基板を含む) は、パターン形成室 1118 およびエッチング室 1119 に搬送される。なお、パターン形成室 1118 において、レジストパターンを形成した後、エッチング室 1119 においてエッチング処理が行われ、実施例 2 において、図 6 (B) で示すように剥離面の一部に開口部が形成される。開口部が形成された後、スパッタリング室 1120 に搬送され、開口部に補助配線が形成される。なお、ここで配線材料に用いられる材料などに関しては、実施例 2 に示されているので参照すればよい。

【0094】

次に、素子形成層 (第 2 の基板を含む) は、塗布室 (2) 1121 に搬送され、補助配線が形成された面に接着剤が形成される。なお、本実施例の場合には、接着剤として非水溶性の異方導電性接着剤が塗布法により形成されるが、印刷法により形成することもできる。また、実施例 2 の場合には、第 4 の基板上に接着剤を形成し、これを素子形成層に貼り付ける場合について示しているが、本実施例に示すように素子形成層側に接着剤を形成し、これに第 4 の基板を貼り付けるという方法を用いることも可能である。

【0095】

次に、基板貼付室 (2) 1122 に搬送される。ここで、素子形成層 (第 2 の基板を含む) が、非水溶性の異方導電性接着剤により第 4 の基板に接着される。なお、この場合における第 4 の基板は、貼り付けられる素子形成層が集積回路の 1 層目である場合には、駆動回路が形成された基板のことを示すが、貼り付けられる素子形成層が集積回路の 2 層目である場合には、基板上に駆動回路及び 1 層目の集積回路が形成された基板のことを示すものとする。また、基板貼付室 (2) 1122 の隣には、このような第 4 の基板が備えられた基板供給室 (3) 1123 が接続されている。

【0096】

次に、基板を受け渡し室 (B) 1104b から、搬送室 (B) 1102b の搬送機構 (B) 1103b により、UV 照射室 (2) 1124 に搬送する。なお、UV 照射室 (2) 1124 において、先に基板上に貼り付けられた両面テープ (実施例 2 における第 1 の接着層 512) に紫外線を照射することにより、両面テープの接着力を低下させることができる。

【0097】

次に、剥離室 (2) 1125 では、実施例 2 において図 7 (B) で示すように弱められた接着力で接着されている第 2 の基板を剥離する。なお、剥離室 (2) 1125 の隣には、剥離された第 2 の基板が回収可能な基板回収室 (2) 1126 が接続されている。

【0098】

次に、接着剤リムーバ室 1127 において、第 2 の基板を接着していた両面テープの除去を行う。なお、実施例 2 で示すように第 2 の基板と共に両面テープが除去される場合には、接着剤リムーバ室 1127 での処理を省略することもできる。

【0099】

次に、洗浄室 1128 において、第 2 の基板および両面テープを除去して露出した有機樹脂層を水洗する。なお、有機樹脂層を形成する有機樹脂は水溶性であることから水洗することにより除去することができる。

【0100】

本実施例で示す装置を用いることにより、実施例 2 で示した積層構造を有する集積回路を自動で作製することができる。なお、本実施例で示す装置は、受け渡し室により、搬送室が複数に分けられているので、異なる搬送室で同時に処理を行うことができるので、スループットを向上させることができる。なお、本実施例では、受け渡し室が 2 つで、搬送室が 3 つの場合について示したが、これに限られることはなく搬送室が 2 であっても、4 つ以上であっても良い。

【0101】

(実施例 5)

本実施例では、パネルの画素部に発光素子が形成される場合の素子構造について、図12を用いて説明する。なお、図12(A)は、画素部における発光素子の断面構造について示すものであり、図12(B)(C)は、発光素子の素子構造について示したものである。なお、ここで示す発光素子は、電流制御用TFTと電氣的に接続された第1の電極と、電界発光層を挟んで形成された第2の電極により形成される。

【0102】

図12(A)において、基板1201上に薄膜トランジスタ(TFT)が形成されている。なお、ここでは、発光素子1215の第1の電極1210と電氣的に接続され、発光素子1215に供給される電流を制御する機能を有する電流制御用TFT1222と、電流制御用TFT1222のゲート電極に印加されるビデオ信号を制御するためのスイッチング用TFT1221を示す。

【0103】

基板1201としては、遮光性を有するシリコン基板を用いるが、ガラス基板、石英基板、樹脂基板、フレキシブルな基板材料(プラスチック)を用いても良い。また、各TFTの活性層は、少なくともチャネル形成領域1202、ソース領域1203、ドレイン領域1204を備えている。

【0104】

また、各TFTの活性層は、ゲート絶縁膜1205で覆われ、ゲート絶縁膜1205を介してチャネル形成領域1202と重なるゲート電極1206が形成されている。また、ゲート電極1206を覆って層間絶縁膜1208が設けられている。なお、層間絶縁膜1208を形成する材料としては、酸化珪素、窒化珪素および窒化酸化珪素等の珪素を含む絶縁膜の他、ポリイミド、ポリアミド、アクリル(感光性アクリルを含む)、BCB(ベンゾシクロブテン)といった有機樹脂膜を用いることができる。

【0105】

次に、層間絶縁膜1208上に電流制御用TFT1222のソース領域1203と電氣的に接続された配線1207、およびドレイン領域1204と電氣的に接続された第1の電極1211が設けられる。なお、第1の電極1211が陽極

である場合には、電流制御用 T F T 2 2 2 を p チャネル型で形成し、陰極である場合には電流制御用 T F T 2 2 2 を p チャネル型で形成するのが望ましい。

【0106】

また、第1の電極 1 2 1 1 の端部、および配線 1 2 0 7 等を覆って絶縁層 1 2 0 9 が形成される。次に、第1の電極 1 2 1 1 上に電界発光層 1 2 1 3 が形成され、その上に、第2の電極 1 2 1 4 を形成することにより発光素子 1 2 1 5 を完成させることができる。

【0107】

なお、本実施例において、第1の電極 1 2 1 1 および第2の電極 1 2 1 4 の材料を適宜選択することができるが、陽極として機能させる電極を形成する場合には、一般的に仕事関数の大きい導電性材料（例えば、仕事関数が 4.0 e V 以上）を用いることが好ましく、陰極として機能させる電極を形成する場合には、一般的に仕事関数の小さい導電性材料（例えば、仕事関数が 3.5 e V 以下）を用いることが好ましい。また、電界発光層において生じた光を透過させる電極を形成する場合には、透光性の材料を用いて電極を形成する必要がある。なお、この場合において、いずれか一方の電極のみを透光性の材料で形成し、他方を遮光性の材料で形成しても良いが、両方の電極材料を透光性の材料で形成することにより、両電極から光を出射させることのできる発光素子を形成することができる。

【0108】

また、図 1 2 (A) に示す発光素子において、陽極となる電極から電界発光層 1 2 1 3 に正孔が注入され、陰極となる電極から電界発光層 1 2 1 3 に電子が注入される。そして、電界発光層 1 2 1 3 において、正孔と電子が再結合することにより発光が得られる。

【0109】

また、電界発光層 1 2 1 3 は、少なくとも発光層を含み、正孔注入層、正孔輸送層、ブロッキング層、電子輸送層、および電子注入層といったキャリアに対する機能の異なる層のいずれか一つ、もしくは複数を組み合わせて積層することにより形成される。

【0110】



また、電界発光層 1213 を形成する材料としては、低分子系、高分子系、もしくは中分子系の公知の有機化合物を用いることができる。なお、ここでいう中分子系の有機化合物とは、昇華性を有さず、分子数が 20 以下、又は連鎖する分子の長さが $10\text{ }\mu\text{m}$ 以下の材料のことをいう。

【0111】

なお、電界発光層 1213 を形成する材料として、具体的には以下に示すような材料を用いることができる。

【0112】

正孔注入層を形成する正孔注入材料としては、有機化合物であればポルフィリン系の化合物が有効であり、フタロシアニン（以下、 $\text{H}_2\text{-Pc}$ と示す）、銅フタロシアニン（以下、 Cu-Pc と示す）などがある。導電性高分子化合物に化学ドーピングを施した材料もあり、ポリスチレンスルホン酸（以下、 PSS と示す）をドーピングしたポリエチレンジオキシチオフェン（以下、 PEDOT と示す）や、ポリアニリン、ポリビニルカルバゾール（以下、 PVK と示す）などが挙げられる。

【0113】

正孔輸送層を形成する正孔輸送材料としては、芳香族アミン系（すなわち、ベンゼン環—窒素の結合を有するもの）の化合物が好適である。広く用いられている材料として、例えば、先に述べた TPD の他、その誘導体である 4, 4'-ビス [$\text{N-(1-ナフチル)-N-フェニル-アミノ}$] -ビフェニル（以下、「 $\alpha\text{-NPD}$ 」と記す）や、4, 4', 4''-トリス (N, N-ジフェニル-アミノ) -トリフェニルアミン（以下、「 TDATA 」と記す）、4, 4', 4''-トリス [$\text{N-(3-メチルフェニル)-N-フェニル-アミノ}$] -トリフェニルアミン（以下、「 MTDATA 」と記す）などのスターバースト型芳香族アミン化合物が挙げられる。

【0114】

発光層を形成する発光材料としては、具体的には、トリス (8-キノリノラト) アルミニウム（以下、 Alq_3 と示す）、トリス (4-メチル-8-キノリノラト) アルミニウム（以下、 Almq_3 と示す）、ビス (10-ヒドロキシベン

ゾ [h] -キノリナト) ベリリウム (以下、BeBq₂と示す)、ビス (2-メチル-8-キノリノラト) - (4-ヒドロキシ-ビフェニル) -アルミニウム (以下、BA1qと示す)、ビス [2- (2-ヒドロキシフェニル) -ベンゾオキサゾラト] 亜鉛 (以下、Zn (BOX)₂と示す)、ビス [2- (2-ヒドロキシフェニル) -ベンゾチアゾラト] 亜鉛 (以下、Zn (BTZ)₂と示す) などの金属錯体の他、各種蛍光色素が有効である。また、三重項発光材料も可能であり、白金ないしはイリジウムを中心金属とする錯体が主体である。三重項発光材料としては、トリス (2-フェニルピリジン) イリジウム (以下、Ir (ppy)₃と示す)、2, 3, 7, 8, 12, 13, 17, 18-オクタエチル-21H, 23H-ポルフィリン-白金 (以下、PtOEPと示す) などが知られている。

【0115】

電子輸送層を形成する電子輸送材料としては、金属錯体がよく用いられ、先に述べたAlq₃、Almq₃、BeBq₂などのキノリン骨格またはベンゾキノリン骨格を有する金属錯体や、混合配位子錯体であるBA1qなどが好適である。また、Zn (BOX)₂、Zn (BTZ)₂などのオキサゾール系、チアゾール系配位子を有する金属錯体もある。さらに、金属錯体以外にも、2- (4-ビフェニル) -5- (4-tert-ブチルフェニル) -1, 3, 4-オキサジアゾール (以下、PBDと示す)、1, 3-ビス [5- (p-tert-ブチルフェニル) -1, 3, 4-オキサジアゾール-2-イル] ベンゼン (以下、OXD-7と示す) などのオキサジアゾール誘導体、3- (4-tert-ブチルフェニル) -4-フェニル-5- (4-ビフェニル) -1, 2, 4-トリアゾール (以下、TAZと示す)、3- (4-tert-ブチルフェニル) -4- (4-エチルフェニル) -5- (4-ビフェニル) -1, 2, 4-トリアゾール (以下、p-EtTAZと示す) などのトリアゾール誘導体、バソフェナントロリン (以下、BPhenと示す)、バソキュプロイン (以下、BCPと示す) などのフェナントロリン誘導体が電子輸送性を有する。

【0116】

その他、ブロッキング層を含める場合には、ブロッキング層を形成する正孔阻

止材料として、上で述べたBA1q、OXD-7、TAZ、p-EtTAZ、BPhen、BCPなどが、励起エネルギーレベルが高いため有効である。

【0117】

図12(B)には、第1の電極1231が透光性の材料で形成された陽極であり、第2の電極1233が遮光性の材料で形成された陰極である場合の構成について示す。この場合には、第1の電極1231は、酸化インジウム・スズ(ITO)膜、酸化インジウムに2~20[%]の酸化亜鉛(ZnO)を混合した透明導電膜、IZO、および $\text{In}_2\text{O}_3\text{-ZnO}$ といった透明導電膜を用いて形成することができ、第2の電極1214は、Al、Ti、W、等を用いて形成することができるが、ここでは、第1の電極1231にITOを用い、第2の電極1233には、Alを用いた場合について示す。そして、電界発光層1232で生じた光は、第1の電極1231側から出射される。なお、この構成において、電界発光層1232を形成する材料は、先に示した材料を適宜選択して用いることができる。

【0118】

なお、本発明は上記構成に限られることはなく、第1の電極1231を遮光性の陽極で形成し、第2の電極1233を透光性の陰極となるように形成することもできる。この場合には、第2の電極1232側から光が出射される。

【0119】

図12(C)には、第1の電極1241および第2の電極1243の両方が、透光性の材料で形成されており、第1の電極が陽極で、第2の電極1243が陰極である場合の構成について示す。この場合には、第1の電極1241は、図12(B)で示した場合と同様に酸化インジウム・スズ(ITO)膜、酸化インジウムに2~20[%]の酸化亜鉛(ZnO)を混合した透明導電膜、IZO、および $\text{In}_2\text{O}_3\text{-ZnO}$ といった透明導電膜を用いて形成することができ、第2の電極1243は、仕事関数の小さい材料であるMg:Ag(マグネシウムと銀の合金)とITOを積層することにより形成することができる。この場合には、電界発光層1242で生じた光は、第1の電極1241および第2の電極1243の両方側から出射される。なお、この構成においても、電界発光層1242を形成

する材料は、先に示した材料を適宜選択して用いることができる。

【0120】

さらに、本実施例では、図12(C)で示す構成とは別に、第1の電極及び第2の電極の両方から光を出射させる構成について図13を用いて説明する。

【0121】

図13(A)に示すように第1の電極1301が陽極で、第2の電極1303が陰極であるにもかかわらず、いずれもITOにより形成されている。しかし、この場合には、電界発光層1302の構造に特徴がある。すなわち、陰極となる第1の電極1303と接して形成される電界発光層には、仕事関数の小さいLi、Cs等のアルカリ金属がドーピングされたドーピング層1304を有している。これにより、陰極側の電界発光層1302の仕事関数を小さくすることができるので、陰極となる第2の電極1303の電極材料にITOを用いた場合にも陰極として機能させることができる。

【0122】

なお、図13(B)には、電界発光層1302が、正孔注入層1305、正孔輸送層1306、発光層1307、ブロッキング層1308、電子輸送層1309およびドーピング層1304により積層形成される場合について示したが、第2の電極1303と接する電界発光層1302にドーピング層を形成する以外の積層構成は上述した材料を適宜選択して用いることができる。

【0123】

(実施例6)

本実施例では、パネルの画素部に液晶素子が形成される場合の素子構造について、図14を用いて説明する。

【0124】

図14に示すように基板1401上には、TFT1402が形成されており、層間絶縁膜1403の開口部に形成された配線1404を介して、画素電極となる第1の電極1405と電氣的に接続されている。また、第1の電極1405上には配向膜1406が形成されており、ラビング処理がなされている。また、基板間隔を保持するための有機樹脂からなる柱状のスペーサ1407が設けられて

いる。なお、スペーサ 1407 および配向膜 1406 の形成順序は逆でも良い。

【0125】

一方、対向基板 1413 は、基板上に着色層 1408、平坦化膜 1409、透明性導電膜からなる対向電極 1410 および配向膜 1411 を有している。なお、着色層 1408 として、赤色の着色層、青色の着色層、および緑色の着色層がそれぞれ形成されていてもよい。

【0126】

素子が形成された基板 1401 と対向基板 1407 とは、シール剤（図示せず）で貼り合わされている。なお、シール剤にはフィラーが混入されていて、このフィラーとスペーサによって均一な間隔（好ましくは $2.0 \sim 3.0 \mu\text{m}$ ）を維持しつつ 2 枚の基板が貼り合わされている。また、両基板の間には液晶 1412 が注入されており、封止剤によって完全に封止されている。なお、液晶 1412 には公知の液晶材料を用いることができる。

【0127】

なお、図 14 に示した構造とした場合、光は、対向基板 1413 側から入射し、液晶 1412 で変調されて、素子が形成された基板 1401 側から出射する。

【0128】

なお、本発明においては、第 1 の電極に反射性を有する金属膜（具体的には、アルミニウム（合金）膜等）を用いて形成することもできる。この場合には、光が対向基板 1407 側から入射し、液晶 1412 で変調された後、再び対向基板 1413 側から出射する。なお、このような構造とした場合には、第 1 の電極の下方に光が透過することがないため、メモリ素子や抵抗素子等を設けることもできる。

【0129】

（実施例 7）

本発明を実施することにより、積層構造を有する集積回路をパネル上に含むモジュールを完成させることができる。従って、これらのモジュールを組み込むことにより様々な電子機器を完成させることができる。

【0130】

これらの電子機器としては、ビデオカメラ、デジタルカメラ、ヘッドマウントディスプレイ、（ゴーグル型ディスプレイ）、カーナビゲーション、プロジェクタ、カーステレオ、パーソナルコンピュータ、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等）等の記録媒体を再生し、その画像を表示しうる半導体装置を備えた装置）等が挙げられる。これら電子機器の具体例を図14に示す。

【0131】

図14（A）は表示装置であり、筐体2001、支持台2002、表示部2003、スピーカー部2004、ビデオ入力端子2005等を含む。なお、表示部2003のモジュールは、転写技術を用いて形成された集積回路を有している。なお、表示装置は、パソコン用、TV放送受信用、広告表示用などの全ての情報表示用装置が含まれる。

【0132】

図14（B）はノート型パーソナルコンピュータであり、本体2201、筐体2202、表示部2203、キーボード2204、外部接続ポート2205、ポインティングマウス2206等を含む。なお、表示部2203のモジュールは、転写技術を用いて形成された集積回路を有している。

【0133】

図14（C）はモバイルコンピュータであり、本体2301、表示部2302、スイッチ2303、操作キー2304、赤外線ポート2305等を含む。なお、表示部2302のモジュールは、転写技術を用いて形成された集積回路を有している。

【0134】

図14（D）はプログラムを記録した記録媒体（以下、記録媒体と呼ぶ）を用いるプレーヤーであり、本体2401、表示部2402、スピーカー部2403、記録媒体2404、操作スイッチ2405等を含む。なお、このプレーヤーは記録媒体としてDVD（Digital Versatile Disc）、CD等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。

【0135】

図14 (E) は携帯書籍（電子書籍）であり、本体2501、表示部2502、記憶媒体2503、操作スイッチ2504、アンテナ2505等を含む。なお、表示部2502のモジュールは、転写技術を用いて形成された集積回路を有している。

【0136】

図14 (F) はビデオカメラであり、本体2601、表示部2602、筐体2603、外部接続ポート2604、リモコン受信部2605、受像部2606、バッテリー2607、音声入力部2608、操作キー2609、接眼部2610等を含む。なお、表示部2602のモジュールは、転写技術を用いて形成された集積回路を有している。

【0137】

ここで図14 (G) は携帯電話であり、本体2701、筐体2702、表示部2703、音声入力部2704、音声出力部2705、操作キー2706、外部接続ポート2707、アンテナ2708等を含む。なお、表示部2703のモジュールは、転写技術を用いて形成された集積回路を有している。

【0138】

以上の様に、本発明により作製された集積回路を有するモジュールの適用範囲は極めて広く、あらゆる分野の応用製品に適用することが可能である。

【0139】**【発明の効果】**

本発明において、従来パネルの外部に形成されていた集積回路をパネル上の駆動回路に積層形成することにより、システムオンパネルの狭額縁化を実現することができる。さらに、システムの高機能化、多機能化を図ることができる。

【図面の簡単な説明】

【図1】 本発明の構成について説明する図。

【図2】 本発明の積層回路について説明する図。

【図3】 本発明のパネルの構成について説明するブロック図。

【図4】 ディスプレイコントローラおよび電源回路について説明する図。

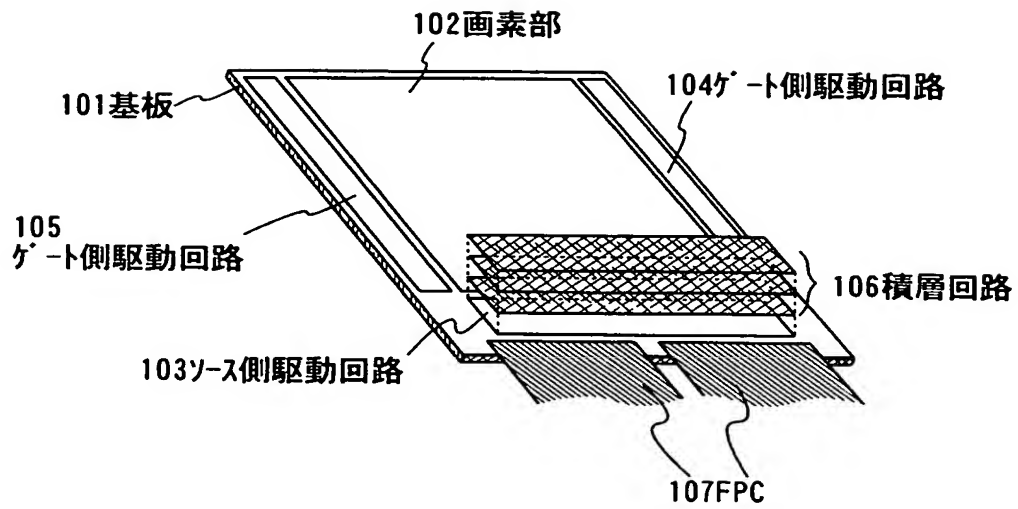
- 【図 5】 積層された集積回路の作製方法について説明する図。
- 【図 6】 積層された集積回路の作製方法について説明する図。
- 【図 7】 積層された集積回路の作製方法について説明する図。
- 【図 8】 積層された集積回路の作製方法について説明する図。
- 【図 9】 積層された集積回路の作製方法について説明する図。
- 【図 1 0】 積層された集積回路の作製方法について説明する図。
- 【図 1 1】 転写工程を自動化させた装置について説明する図。
- 【図 1 2】 画素部に形成される発光素子の構成について説明する図。
- 【図 1 3】 画素部に形成される発光素子の構成について説明する図。
- 【図 1 4】 画素部に形成される液晶素子の構成について説明する図。
- 【図 1 5】 本発明を用いて形成される電子機器について説明する図。

【符号の説明】

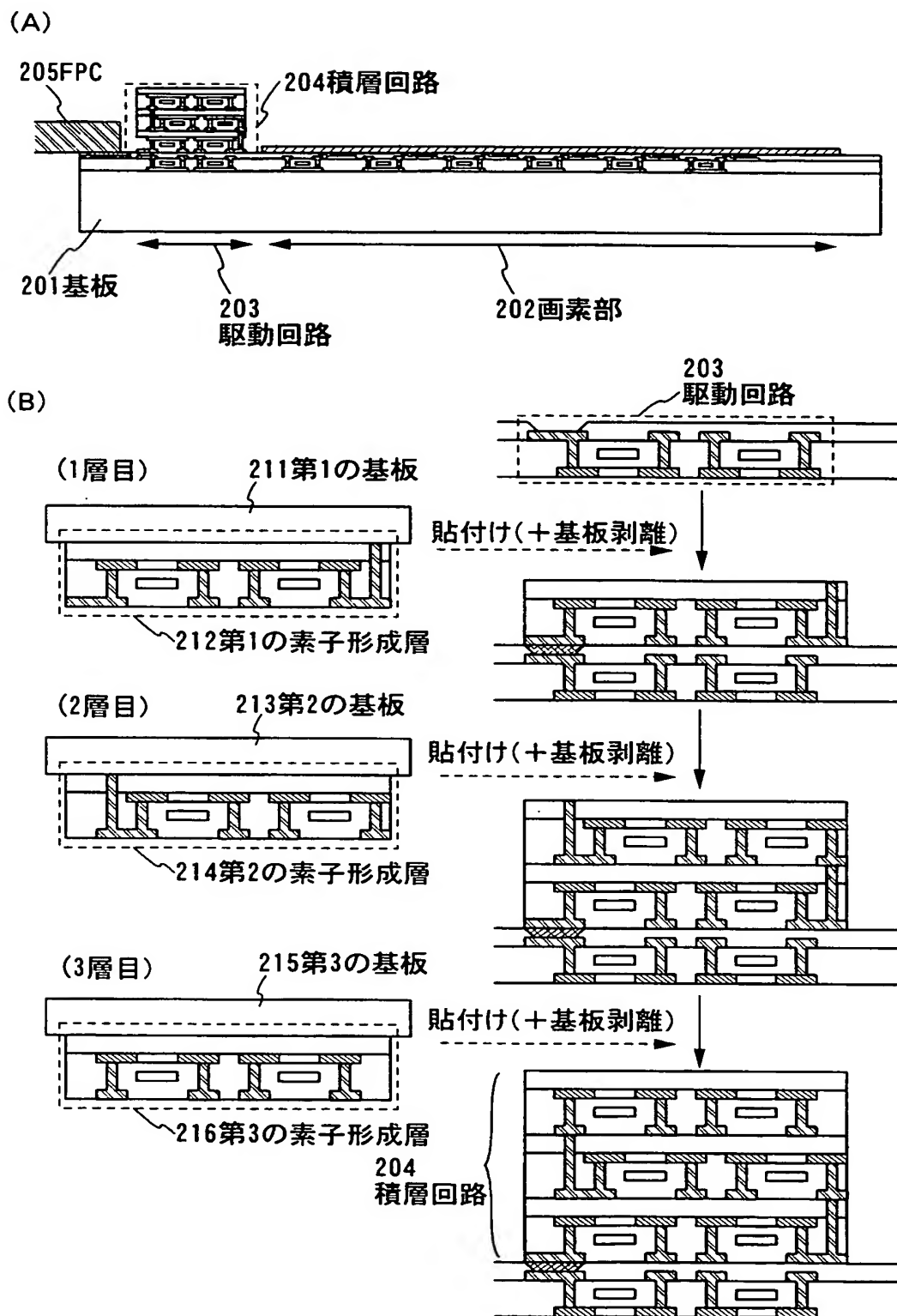
- 1 0 1 基板
- 1 0 2 画素部
- 1 0 3 ソース側駆動回路
- 1 0 4 1 0 5 ゲート側駆動回路
- 1 0 6 集積回路
- 1 0 7 F P C

【書類名】 図面

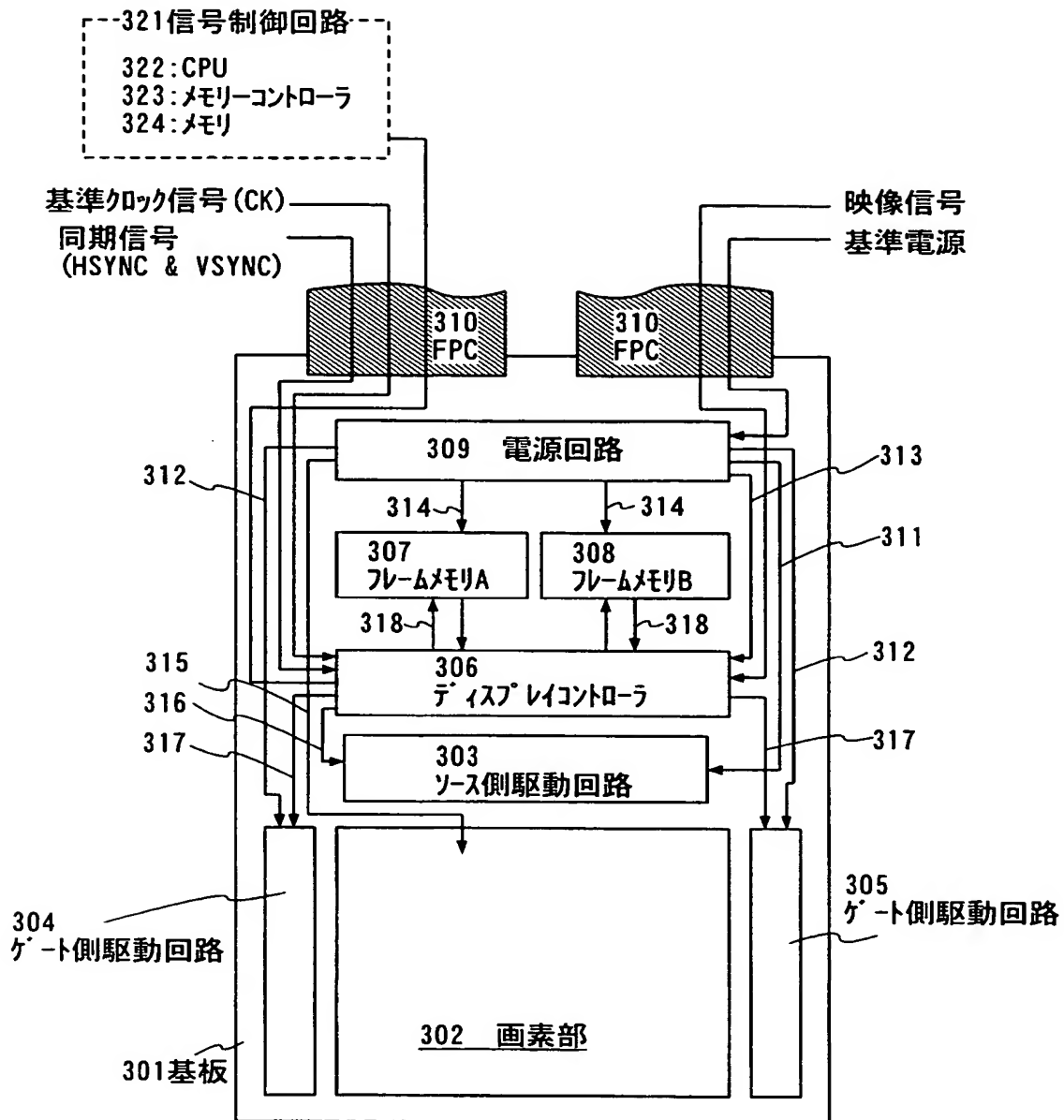
【図 1】



【図 2】



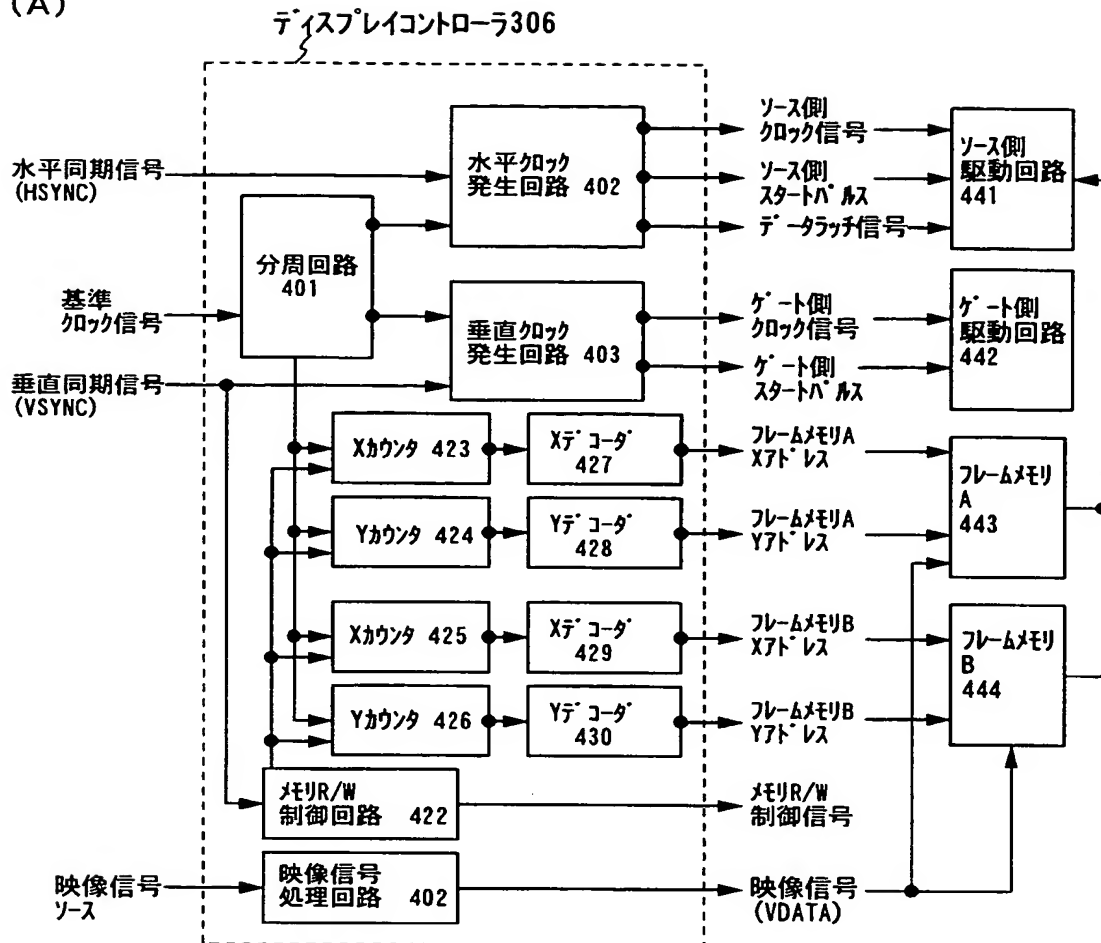
【図 3】



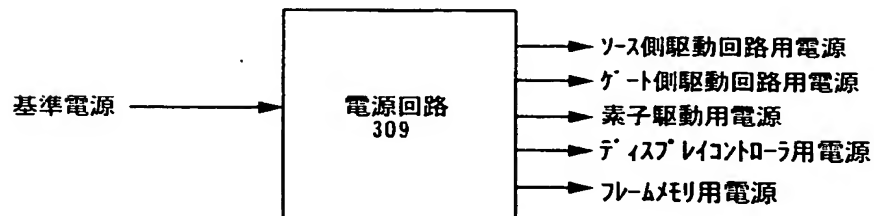
- 311: ソース側駆動回路用電源
312: ゲート側駆動回路用電源
313: ディスプレイコントローラ用電源
314: フレームメモリ用電源
315: 素子駆動用電源
316: ソース側駆動回路クロック信号・スタートパルス・映像信号
317: ゲート側駆動回路クロック信号・スタートパルス
318: フレームメモリ リート/ライト制御信号

【図 4】

(A)

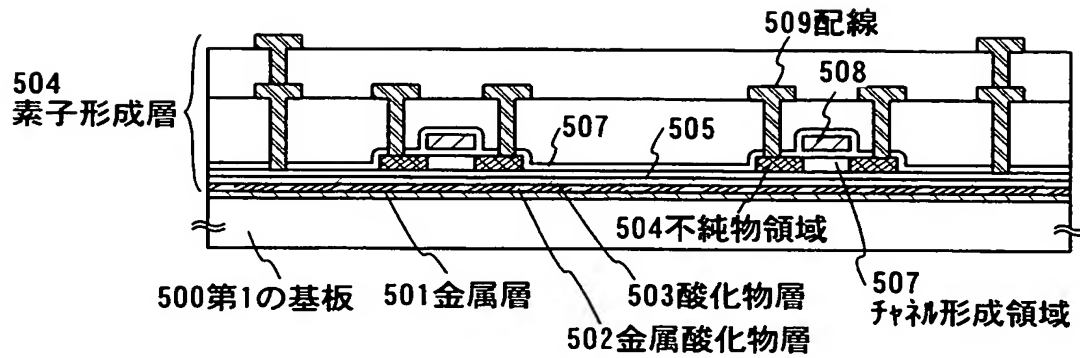


(B)

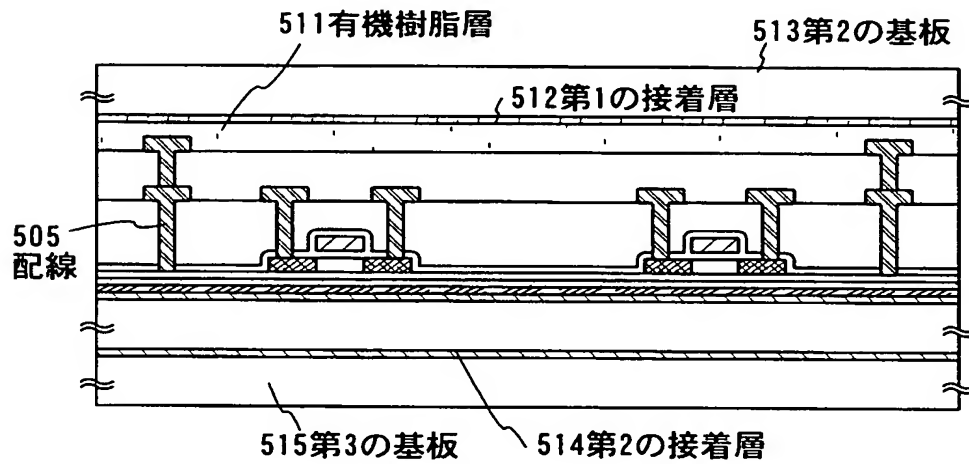


【図 5】

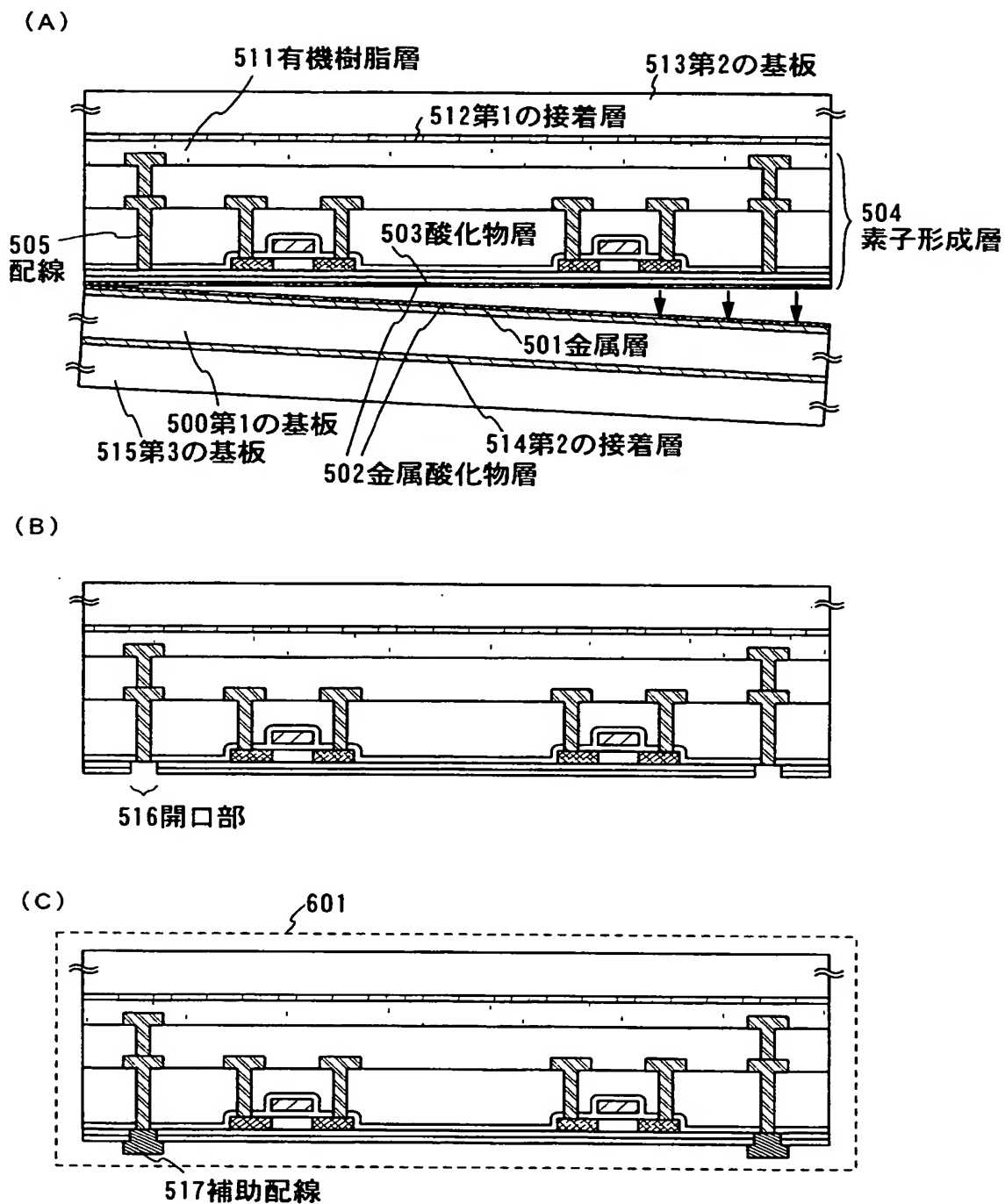
(A)



(B)

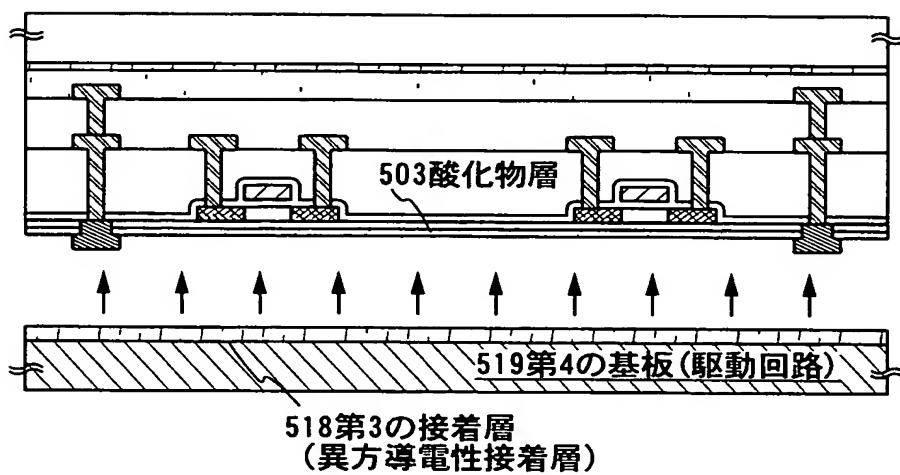


【図6】

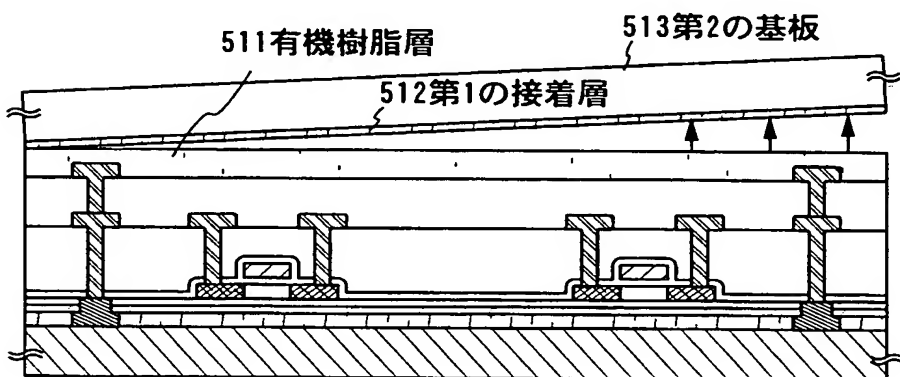


【図 7】

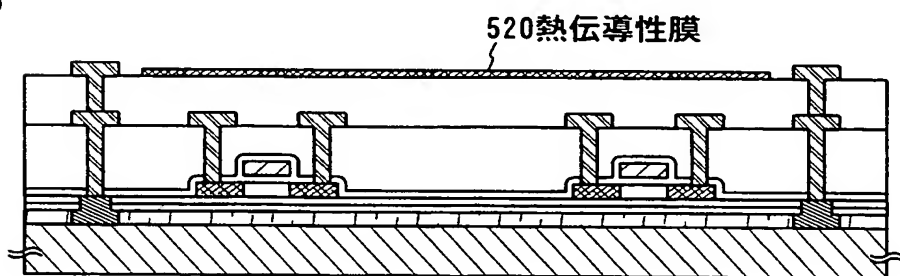
(A)



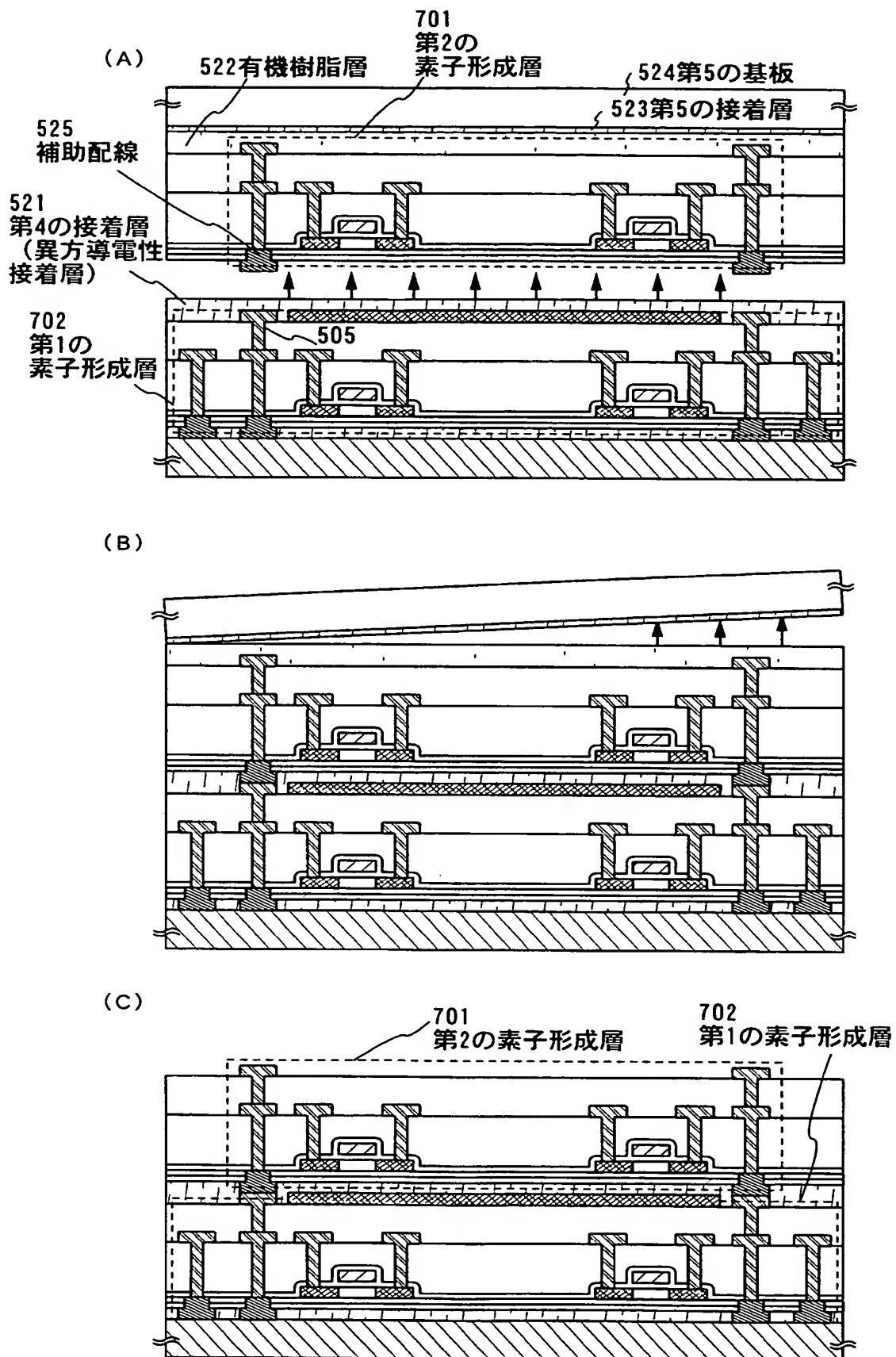
(B)



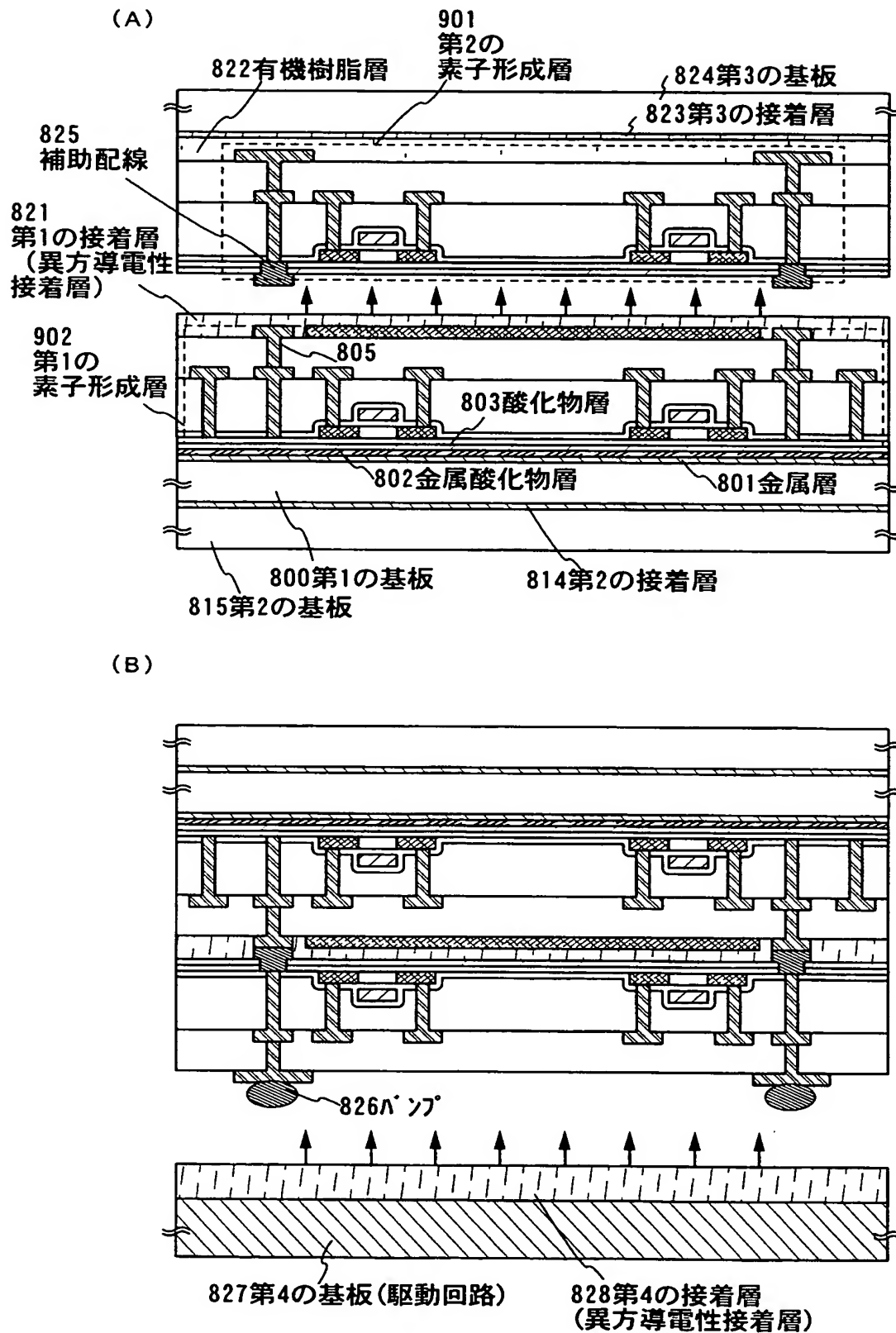
(C)



【図 8】

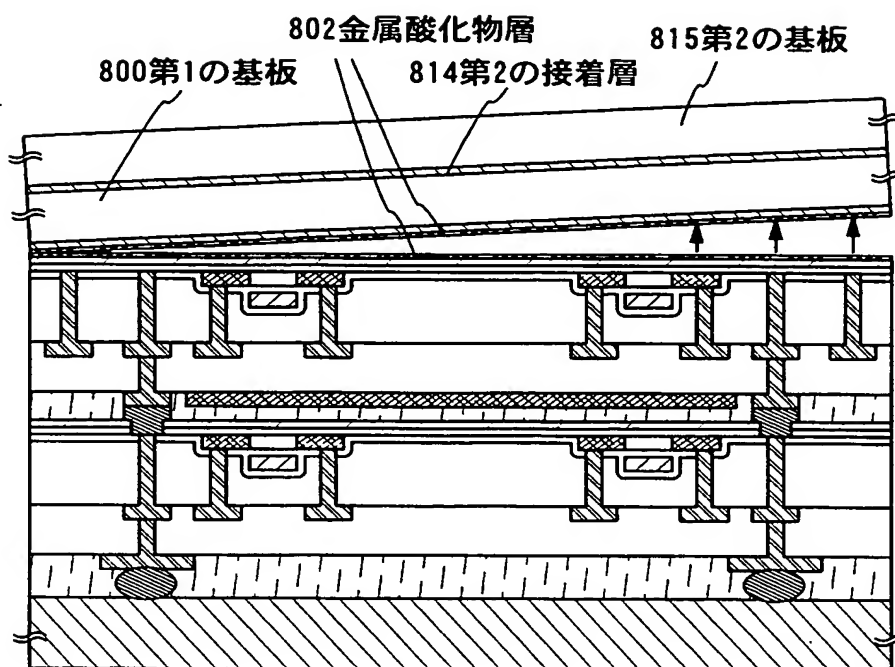


【図 9】

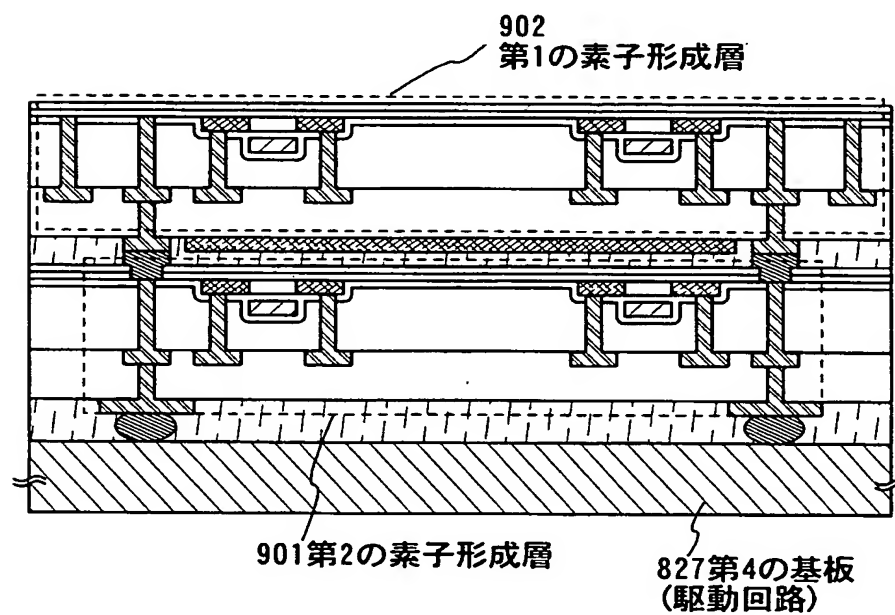


【図10】

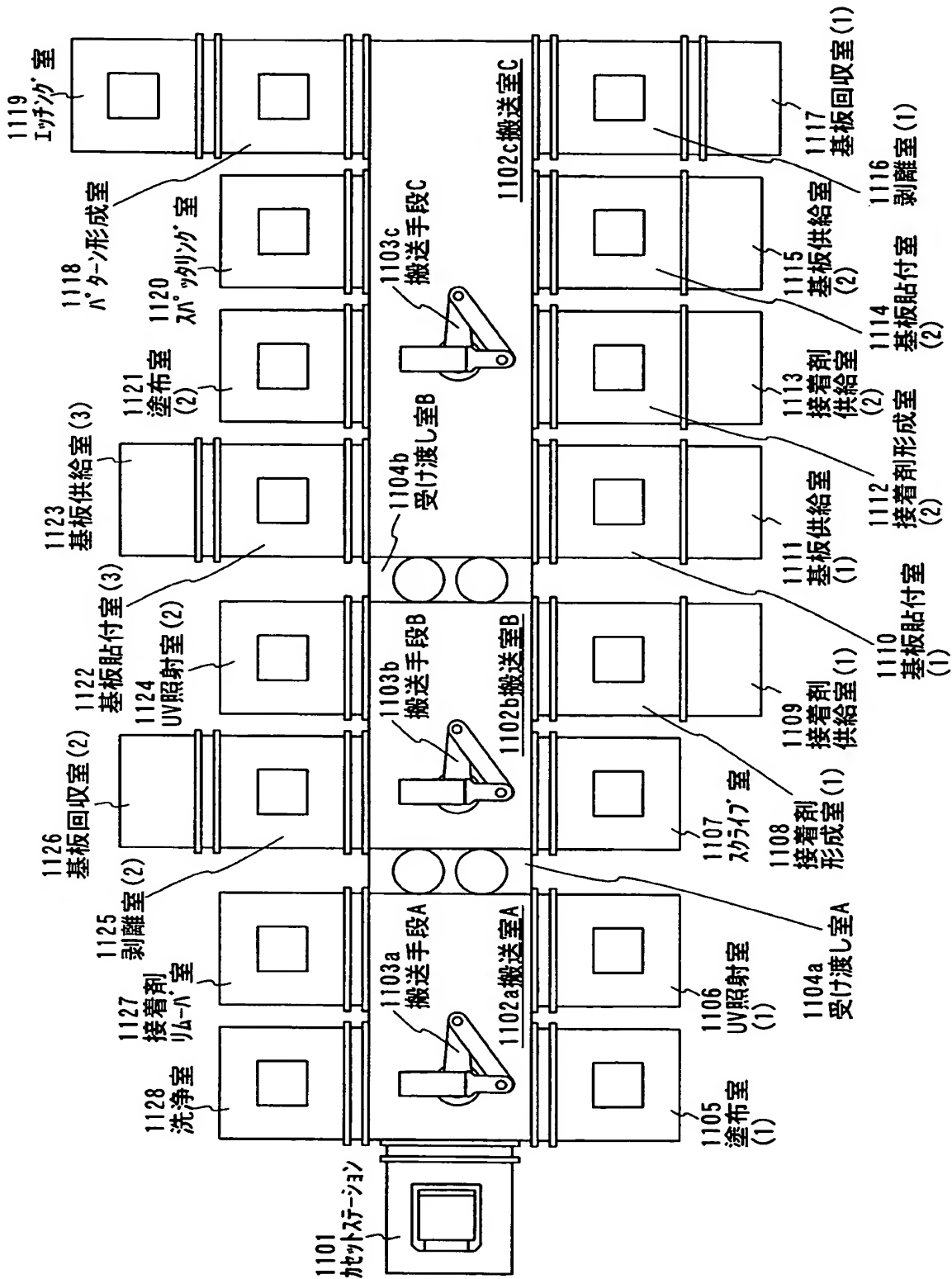
(A)



(B)

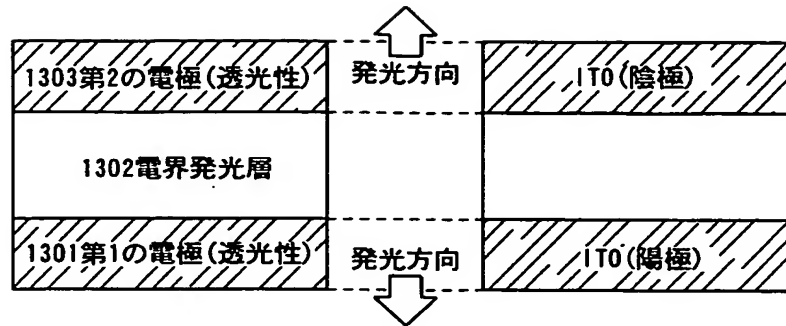


【図11】

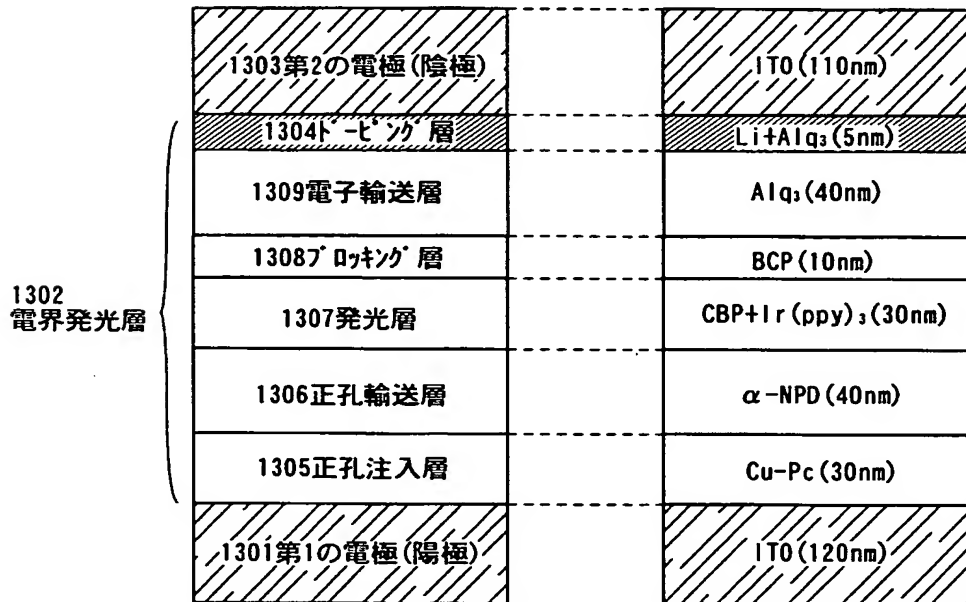


【図 13】

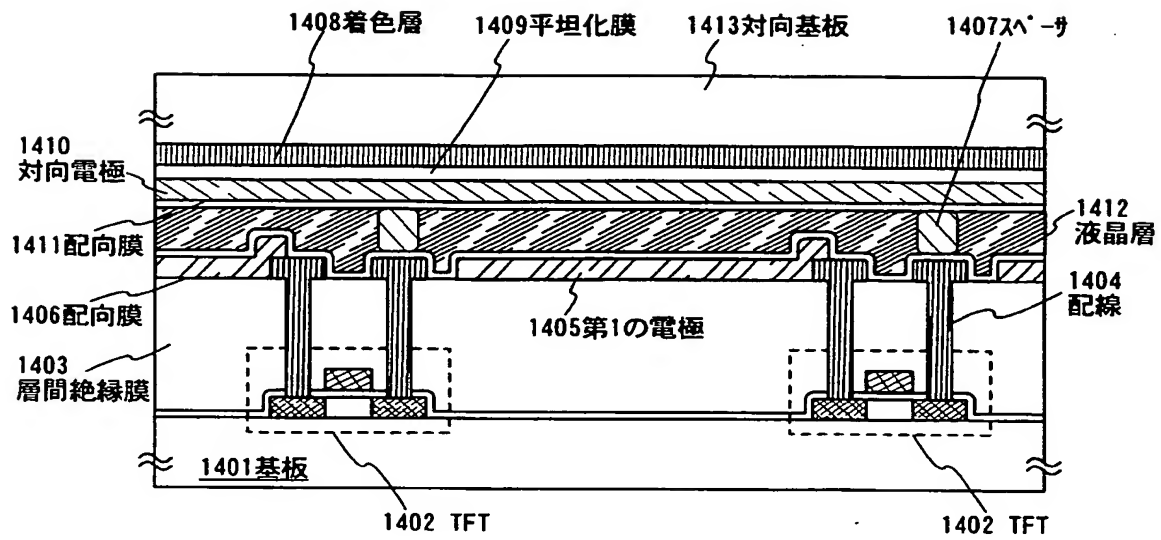
(A)



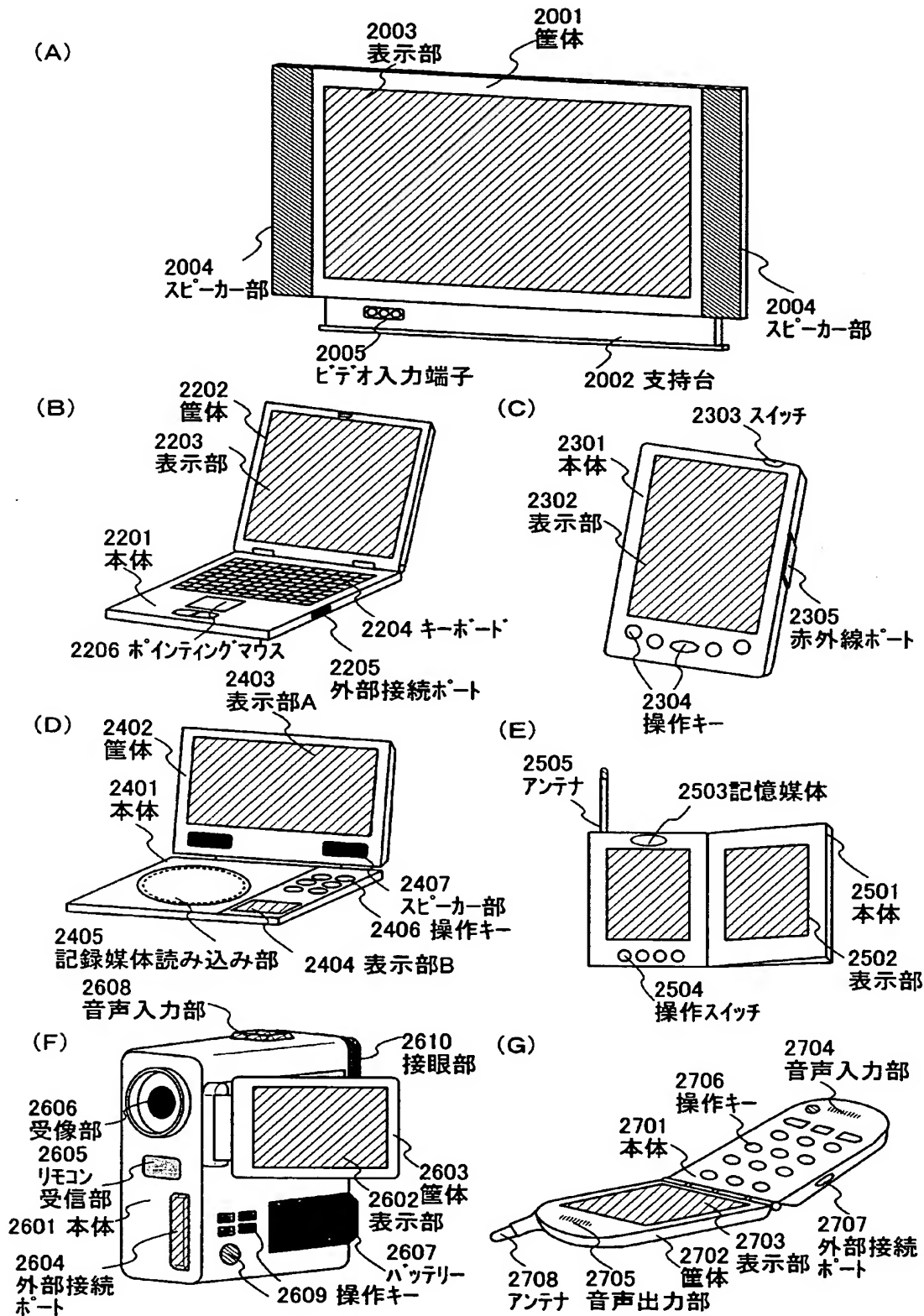
(B)



【図 14】



【図 15】



【書類名】 要約書

【要約】

【課題】 本発明では、システムオンパネルの狭額縁化を実現することを目的とする。また、パネル上に搭載されるシステムの高機能化または、多機能化を図ることを目的とする。

【解決手段】 本発明では、画素部（液晶素子、発光素子を含む）および駆動回路が形成されたパネル上に、従来、外部回路を構成していた集積回路を積層形成することを特徴とする。具体的には、パネル上の画素部、駆動回路のうち、駆動回路と重なる位置に上述した集積回路のうちのいずれか一種、または複数種を転写技術により積層形成することを特徴とする。

【選択図】 図 1

特願 2 0 0 3 - 0 3 3 1 9 4

出 願 人 履 歴 情 報

識別番号

[0 0 0 1 5 3 8 7 8]

1. 変更年月日

1 9 9 0 年 8 月 1 7 日

[変更理由]

新規登録

住 所

神奈川県厚木市長谷 3 9 8 番地

氏 名

株式会社半導体エネルギー研究所